

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Keishiro OKAMOTO, et al.**

Serial No.: **Not Yet Assigned**

Filed: **March 8, 2002**

For: **SEMICONDUCTOR SYSTEM-IN-PACKAGE**



CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

March 8, 2002

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2001-329687, filed October 26, 2001

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP

A handwritten signature in cursive script, reading "William L. Brooks".

William L. Brooks
Reg. No. 34,129

Atty. Docket No.: 020214
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
WLB/ll

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年10月26日

出 願 番 号

Application Number:

特願2001-329687

[ST.10/C]:

[JP2001-329687]

出 願 人

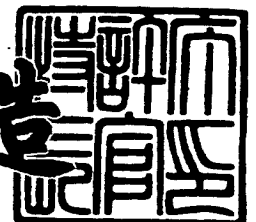
Applicant(s):

富士通株式会社

2002年 1月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3001475

【書類名】 特許願

【整理番号】 0140555

【提出日】 平成13年10月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/04

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 岡本 圭史郎

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 塩賀 健司

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 谷口 修

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 表 孝司

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 今中 佳彦

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通

株式会社内

【氏名】 山岸 康男

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100091340

【弁理士】

【氏名又は名称】 高橋 敬四郎

【電話番号】 03-3832-8095

【選任した代理人】

【識別番号】 100105887

【弁理士】

【氏名又は名称】 来山 幹雄

【電話番号】 03-3832-8095

【手数料の表示】

【予納台帳番号】 009852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【包括委任状番号】 0109607

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 第 1 ピッチに適合する貫通導体を有する支持基板と、
前記支持基板上方に形成されたキャパシタと、
前記支持体上方に形成され、前記貫通導体を、一部前記キャパシタを介して、
上方に導出すると共に、分岐を有し、第 2 ピッチの配線を形成する配線層と、
前記配線層上方に配置され、第 2 ピッチに適合する端子を有し、前記配線層に
前記端子を介して接続された複数の半導体素子と、
を有する半導体装置。

【請求項 2】 前記支持基板が、側壁に絶縁膜を形成した貫通孔を有する S
i 基板であり、前記貫通導体が前記貫通孔を埋める金属導体である請求項 1 に記
載の半導体装置。

【請求項 3】 前記キャパシタが、電源配線間に接続されたデカップリング
キャパシタであり、前記配線層が前記デカップリングキャパシタと前記半導体素
子との間で分岐を有する請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記貫通導体が第 1 の信号配線を含み、前記配線層が第 1 の
信号配線を、ほぼ垂直に導出する第 2 の信号配線を含み、前記キャパシタが前記
第 2 の信号配線を含む領域で欠所を有する電極を有する請求項 1 ～ 3 のいずれか
1 項に記載の半導体装置。

【請求項 5】 さらに、前記支持基板上に配置され、 $10 \text{ ppm}/^{\circ}\text{C}$ 以下の
面内方向熱膨張率を有し、前記配線層、前記キャパシタを絶縁する絶縁層を有す
る請求項 1 ～ 4 のいずれか 1 項記載の半導体装置。

【請求項 6】 前記キャパシタが、Ba、Sr、Ti の内少なくとも一つを
含む酸化物層のキャパシタ誘電体層と、前記キャパシタ誘電体層を挟んで配置さ
れ、Pt、Ir、Ru、Pd またはこれらの酸化物を少なくとも一部に含む 1 対
のキャパシタ電極とを有する請求項 1 ～ 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】 さらに、第 1 ピッチの配線を有し、前記貫通導体の下面に接
続された回路基板を有する請求項 1 ～ 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】 前記第 2 ピッチは、前記第 1 ピッチより狭い請求項 1 ～ 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】 (a) 支持基板に第 1 のピッチで貫通孔を形成する工程と、
(b) 前記貫通孔側壁に絶縁膜を形成する工程と、
(c) 前記絶縁膜を形成した貫通孔内に貫通導体を充填する工程と、
(d) 前記支持基板上に前記貫通導体の少なくとも一部に接続されたキャパシタと前記貫通導体または前記キャパシタに接続され、第 2 のピッチを有する配線を形成する工程と、
(e) 前記配線上に、前記第 2 のピッチに適合する端子を有する複数の半導体素子を接続する工程と、
を含む半導体装置の製造方法。

【請求項 10】 前記支持基板が Si 基板であり、
前記工程 (a) が、Si 基板両面を熱酸化して酸化シリコン膜を形成し、一方の酸化シリコン膜からシリコン基板を貫通し、他方の酸化シリコン膜に達する貫通孔を形成し、

前記工程 (b) が貫通孔側壁を熱酸化し、

前記工程 (c) が、他方の酸化シリコン膜裏面上にシード層を形成し、貫通孔底面の酸化シリコン膜を除去してシード層を露出し、貫通孔内に前記シード層をシードとしてメッキ層を形成する、

請求項 9 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の部品を一つのモジュールに収納してワンパッケージ化した半導体装置に関し、特に半導体素子外部にキャパシタを接続して高周波特性を改良した半導体装置およびその製造方法に関する。

【0002】

本明細書においては、複数の半導体デバイスをモジュール化して、半導体装置を構成する場合、各半導体デバイスを半導体素子と呼ぶ。CPU 等の LSI も半

導体素子と呼ぶ。

【0003】

【従来の技術】

近年、既存のチップを組み合わせて、高密度に接続し、所望の機能を実現するシステムインパッケージ（SiP）が台頭している。全機能を1チップ上に集積化する場合と比べ、開発期間の短縮を図れ、価格対性能比を向上することができる。

【0004】

また、デジタルLSI等の半導体素子は、高速化と低消費電力化が進んでいる。低消費電力化のために、電源電圧は低減している。負荷インピーダンスが急激に変動した時などに、電源電圧は変動し易い。電源電圧が変動すると、半導体素子の機能に障害を生じる。電源電圧の変動を抑えるためのデカップリングキャパシタの役割が重要となっている。

【0005】

半導体素子の高速化に伴い、高周波リップルの影響は増大している。デカップリングキャパシタは、高周波リップル成分の吸収も効率的に行なうことが望まれる。

【0006】

これらのために、キャパシタの等価直列抵抗（ESR）、等価直列インダクタンス（ESL）を低減することが望まれる。このためには、半導体チップとキャパシタとの間の配線長を最小にすることが望まれる。

【0007】

システムインパッケージにおいて、半導体チップ、回路基板にデカップリングキャパシタ等を接続する方法として（1）樹脂ビルドアップ系、（2）厚膜セラミックス系、（3）薄膜多層系等の技術が知られている。

【0008】

（1）樹脂ビルドアップ系は、基板にプリント板を用い、絶縁層、受動部品層、配線層をビルドアップ層としてその上に形成し、半導体チップの直下にキャパシタを形成して貫通配線を介して接続する。絶縁層として有機絶縁層を用いるこ

とにより、低コスト、低温プロセスが可能である。また、受動部品と絶縁層との熱膨張率の差を小さくすることにより、実装後の熱サイクルによって発生する熱応力を緩和させることができる。

【0009】

半導体チップの直下にキャパシタを配置し、ESLを低減することができるが、キャパシタの支持体の貫通配線のピッチは $50\sim 200\mu\text{m}$ と比較的大きい。得られるキャパシタの容量は、数 $100\text{pF}/\text{cm}^2$ であり、高周波でのデカップリングキャパシタとしては不十分である。

【0010】

(2) 厚膜セラミックス系は、基板や絶縁層に低損失セラミックス材料を用い、誘電体層、抵抗層を一体焼成する。半導体チップの直下にキャパシタを形成し、貫通配線を介して接続することができる。部品内臓能力に優れ、誘電損失($\tan\delta$)が低い。このため、高周波での伝送損失が小さい。

【0011】

得られる容量は、数 $10\text{nF}/\text{cm}^2$ であり、高周波でのデカップリングキャパシタとしての機能は不十分である。焼成時に体積が収縮し、寸法のバラツキが大きくなるため、キャパシタの支持体の貫通配線ピッチは $100\sim 200\mu\text{m}$ 程度と大きい。

【0012】

(3) 薄膜多層系は、絶縁層に低誘電率樹脂を用い、支持基板にシリコンやガラスを用いる。抵抗やキャパシタを層内に形成し、半導体チップの直下にキャパシタを貫通配線を介して接続することができる。高温プロセスを使用し、数 $100\text{nF}/\text{cm}^2$ と大容量のキャパシタが得られる。

【0013】

半導体プロセスを用いることにより、支持体の貫通配線ピッチは、 $20\sim 50\mu\text{m}$ 程度まで微細化できる。受動部品と絶縁層との熱膨張率の差を小さくすることにより、実装後の熱サイクルによって発生する熱応力を緩和させることができる。

【0014】

半導体素子の高速動作、低消費電力化、大面積化はますます進行する。半導体素子内のトランジスタや配線は微細化を続けている。半導体素子の端子数も増加し、端子間のピッチも狭くなる。デカップリングキャパシタの支持体の貫通配線ピッチを半導体素子の端子のピッチと合わせ狭くすることには限界が生じる。

【0015】

半導体素子の直下でなく、近傍にキャパシタを実装すれば、低コストで大容量のキャパシタを設けることができる。しかしながら、配線の引き回しが必要となり、高周波特性は悪くなる。GHz以上の周波数で高速動作する半導体素子に対応したデカップリングキャパシタを設けることは困難となる。

【0016】

【発明が解決しようとする課題】

このように、システムインパッケージにおいて半導体素子とキャパシタ等の電子部品と回路基板とを好適に接続することに制限が生じている。

【0017】

本発明の目的は、狭い端子ピッチを有する半導体素子と、より広いピッチの貫通配線を有する支持体とキャパシタとを好適に電氣的に接続し、大容量でインダクタンスを低減したデカップリング機能を実現できる半導体装置を提供することである。

【0018】

本発明の他の目的は、半導体素子の微細化に対応できるシステムインパッケージを提供することである。

【0019】

本発明のさらに他の目的は、このようなシステムインパッケージに用いる、複数の半導体素子を含む半導体装置を提供することである。

【0020】

【課題を解決するための手段】

本発明の1観点によれば、第1ピッチに適合する貫通導体を有する支持基板と

前記支持基板上方に形成されたキャパシタと、前記支持体上方に形成され、前

記貫通導体を、一部前記キャパシタを介して、上方に導出すると共に、分岐を有し、第2ピッチの配線を形成する配線層と、前記配線層上方に配置され、第2ピッチに適合する端子を有し、前記配線層に前記端子を介して接続された複数の半導体素子と、を有する半導体装置が提供される。

【0021】

本発明の他の観点によれば、(a) 支持基板に第1のピッチで貫通孔を形成する工程と、(b) 前記貫通孔側壁に絶縁膜を形成する工程と、(c) 前記絶縁膜を形成した貫通孔内に貫通導体を充填する工程と、(d) 前記支持基板上に前記貫通導体の少なくとも一部に接続されたキャパシタと前記貫通導体または前記キャパシタに接続され、第2のピッチを有する配線を形成する工程と、(e) 前記配線上に、前記第2のピッチに適合する端子を有する複数の半導体素子を接続する工程と、を含む半導体装置の製造方法が提供される。

【0022】

【発明の実施の形態】

以下、図面を参照して本発明の実施例を説明する。

【0023】

図5(A)は、システムインパッケージSiPの構成例を示す。回路基板50の上に、複数の半導体素子を含む回路部品52-1～52-5が搭載されている。

半導体素子は、たとえば、演算処理装置、デジタル信号演算処理装置(DSP)、メモリ、高周波(RF)IC、入出力インターフェイス(I/O)等である。他の回路部品53は、たとえばSAWフィルタである。

【0024】

回路基板50上には配線が形成されており、回路基板50と半導体素子52-1～52-5(および回路部品53)との間にキャパシタや配線を内蔵した中間積層体51が接続されている。以下、キャパシタ、配線を内蔵する中間積層体51の製造プロセスについて説明する。

【0025】

図 1 (A) に示すように、例えば 6 インチ Si ウエハ 1 1 を厚さ 3 0 0 μ m に鏡面研磨し、両面に熱酸化により厚さ約 0. 5 μ m の酸化シリコン層 1 2、1 3 を形成する。

【 0 0 2 6 】

なお、熱酸化に代え、減圧気相堆積 (L P C V D) やスパッタリングによって酸化シリコン等の絶縁層を形成してもよい。絶縁層は、Si 基板をドライエッチングする際のエッチングストッパとして作用させる層であり、酸化シリコンに限らない。例えば酸化窒化層や酸化層と窒化層との積層でもよい。

【 0 0 2 7 】

図 1 (B) に示すように、酸化シリコン層 1 2 の上にホトレジスト材によりレジストマスク P R 1 を形成する。レジストマスク P R 1 をエッチングマスクとし、 $C F_4$ を主エッチングガスとして酸化シリコン層 1 2 をエッチングし、開口 1 4 を形成する。開口 1 4 は、貫通配線を形成するパターンに従って形成される。この段階でレジストマスク P R 1 を除去してもよい。

【 0 0 2 8 】

次に、レジストマスク P R 1 またはパターニングされた酸化シリコン層 1 2 A をエッチングマスクとし、 $S F_6$ および $C_4 F_8$ を主エッチングガスとするドライエッチングを行ない、Si 基板 1 1 の異方性エッチング (D e e p R I E) を行なう。このエッチングは、下側の酸化シリコン層 1 3 で自動的に停止する。このようにして、酸化シリコン層 1 2 a、Si 基板 1 1 a を貫通したビア孔 1 4 が形成される。レジストマスク P R 1 が除去されていない場合は、エッチング終了後レジストマスク P R 1 を除去する。

【 0 0 2 9 】

図 1 (C) に示すように、Si 基板 1 1 a を熱酸化し、Si 表面が露出している領域に厚さ約 1 μ m の酸化シリコン層 1 5 a を形成する。ビア孔底面に残った酸化シリコン層 1 3 はもとの厚さ (約 0. 5 μ m) のまま残る。Si 基板 1 1 a 上面および下面の酸化シリコン層は、さらに酸化され、厚さ約 1 μ m 以上の酸化シリコン層 1 5 b、1 5 c となる。

【 0 0 3 0 】

図1 (D) に示すように、スパッタリングにより基板裏面上に厚さ約 $0.2\mu\text{m}$ のTi層16、厚さ約 $1.0\mu\text{m}$ のPt層17を形成する。Pt層17は、この後行なわれるメッキのシード層を形成する。Ti層16は、Pt層17のSi基板に対する密着性を促進するための密着層である。シード層が良好な密着性を有する場合、密着層は省略することができる。なお、シード層（および密着層）はスパッタリングの他、CVD、印刷などによって形成することもできる。

【0031】

緩衝フッ酸溶液をエッチャントとするウェットエッチングを行なうことにより、ビア孔底面の酸化シリコン層13を除去する。この際、他の酸化シリコン層もエッチングされるが、厚さの差により全部は除去されず、厚さの一部は残る。

【0032】

緩衝フッ酸溶液によるエッチングに続いて、希フッ酸硝酸液をエッチャントとするウェットエッチングを行ない、ビア孔底面に露出したTi層16をエッチングする。このようにして、ビア孔底面にPt層17が露出する。Ti層は、エッチングが始まると瞬時に溶けてしまう。エッチング溶液が酸化シリコン層もエッチングする性質を有しても、Ti層のエッチングの間に酸化シリコン層がエッチングされる厚さは極めて限られたものである。シリコン基板11aは酸化シリコン層で覆われた状態を保つ。

【0033】

なお、ウェットエッチングに代え、ドライエッチングを行なってもよい。この場合も、ビア孔底面の酸化シリコン層13がエッチング終了しても、その他の酸化シリコン層15a、15b、15cは少なくともその一部が残る。

【0034】

このようにして、Si基板に複数の貫通孔を形成することができる。貫通孔の底面にはメッキ用のシード層が露出し、貫通孔の側壁は絶縁層に覆われている。Si基板上面も絶縁層に覆われている。

【0035】

図1 (E) に示すように、電解メッキを行うことにより、ビア孔14内のPt層17上にPtメッキ層を形成し、ビア孔を埋めるビア導電体18を形成する。

【 0 0 3 6 】

なお、ビア孔の径が小さな場合、メッキに代えCVDで貫通導体を形成することもできる。この場合は、シード層は特に必要なく、例えば図1（B）または（C）の状態で、CVDを行うことができる。

【 0 0 3 7 】

図1（F）に示すように、Si基板上面に対し化学機械研磨（CMP）を行うことにより、表面を平坦化する。貫通導体18の上面と、周囲の絶縁層15bの上面とが面一となる。同様、Si基板下面にもCMPを行ない、絶縁層15c、貫通導体18を露出する。このようにして、貫通導体18を備えた支持基板Sが得られる。

【 0 0 3 8 】

図2（G）に示すように、支持基板Sの表面上に、基板温度400℃でスパッタリングを行ない、厚さ約0.1μmのTi層、厚さ約0.2μmのPt層を順次形成し、下部電極層20とする。下部電極層20の上にレジストマスクPR2を形成し、このレジストマスクPR2をマスクとし、Arイオンを用いたミリングにより、下部電極層20をパターニングする。ミリングとエッチングを組み合わせても良い。その後レジストマスクPR2は除去する。

【 0 0 3 9 】

下部電極20は、広い面積を有し、信号配線等の配線を通過させる領域およびその周囲に欠所を有する。欠所内に配線用の引き出し電極が同一電極層から形成される。

【 0 0 4 0 】

図2（H）に示すように、下部電極20を覆って基板上に（Ba, Sr）TiO₃（BST）薄膜21を形成する。この成膜条件は、例えば基板温度550℃、ガス流量Ar：80sccm、O₂：10sccm、真空度30mTorr、印加電力300W、プロセス時間1時間である。このような条件で、膜厚0.2μm、比誘電率500、誘電損失2%のBST誘電体膜が得られる。

【 0 0 4 1 】

高い比誘電率を有する材料として他にSrTiO₃、BaTiO₃等を用いても

よい。Ba、Sr、Tiの少なくとも一つを含み、高い比誘電率を有する酸化物誘電体を用いることが好ましい。誘電体膜の形成に、スパッタリングの他、ゾルゲル法、CVDを用いることもできる。

【0042】

誘電体膜21の上にレジストパターンPR3を形成し、緩衝フッ酸溶液($\text{NH}_4\text{F}:\text{HF}=6:1$)のエッチングを行ない、引き出し電極およびキャパシタ電極の接続部表面を露出する。その後レジストパターンPR3は除去する。

【0043】

図2(I)に示すように基板温度400℃でスパッタリングを行ない、厚さ約0.2 μm のPt層22を形成する。Pt層22の上にレジストパターンPR4を形成し、Arイオンのミリングにより、Pt層22を選択的に除去する。このようにして、上部電極パターンおよび貫通導体パターンが形成される。その後レジストパターンPR4は除去する。

【0044】

このようにして、BST誘電体膜を挟んだ下部電極、上部電極によりキャパシタが形成される。また、誘電体膜の無い領域で積層された下部電極、上部電極により、貫通導体が形成される。酸化物誘電体膜と接するキャパシタ電極は、耐酸化性のあるAuやPt等、または酸化されても導電性を保つPt、Ir、Ru、Pdまたはこれらの酸化物で形成することが好ましい。

【0045】

図2(J)に示すように、上部電極22を覆うように、感光性ポリイミド樹脂層23を成膜する。このポリイミドは、10ppm/℃以下の面内方向熱膨張率を有することが望ましい。実装後の熱サイクルによる熱応力を緩和させることができる。

【0046】

レチクル等を用いて感光性ポリイミド層23を選択的に露光し、現像することにより配線形成領域のポリイミド層を除去する。なお、他の方法によりポリイミド層をパターニングしても良い。

【0047】

図 2 (K) に示すように、ポリイミド層 2 3 の開口内に露出した P t 層表面上に、C u 層 2 5 を電解メッキにより形成する。酸化物誘電体層を用いたキャパシタを形成した後の配線としては C u を用いることが好ましい。その後、必要に応じて CMP を行なうことにより、C u 層 2 5 とポリイミド層 2 3 の表面を平坦化する。

【 0 0 4 8 】

図 3 (L) に示すように、スパッタリングによりポリイミド層 2 3、引き出し電極 2 5 の上に第 1 配線層 2 6 として厚さ約 $0.2 \mu\text{m}$ の C u 層を形成する。なお、スパッタリングに代え無電解メッキまたは無電解メッキと電解メッキの組み合わせを用いても良い。レジストマスクを形成し、イオンミリングを行うことにより第 1 配線層 2 6 のパターンを形成する。

【 0 0 4 9 】

図 3 (M) に示すように、第 1 配線層のパターンは、例えば貫通導体 1 8 のピッチ、線幅の半分のピッチ、線幅を有する。たとえば、貫通導体のピッチが $50 \mu\text{m}$ 、線幅が $20 \mu\text{m}$ の場合、ピッチ $25 \mu\text{m}$ 、線幅 $10 \mu\text{m}$ である。

【 0 0 5 0 】

第 1 配線層 2 6 のパターニング後、感光性ポリイミド樹脂を塗布し、第 1 配線層 2 6 間を絶縁する絶縁層 2 8 を形成する。このポリイミド樹脂は、前述のポリイミド同様、 $10 \text{ ppm}/^\circ\text{C}$ 以下の面内方向熱膨張率を有することが好ましい。第 1 配線層 2 6 とポリイミド層 2 8 が面一でない場合、CMP 等で平坦化することが好ましい。このようにして第 1 配線層パターンが形成される。

【 0 0 5 1 】

図 3 (N) に示すように、前述同様の手法により、接続配線パターン 2 9 を形成する。

【 0 0 5 2 】

図 3 (O) に示すように、前述同様の手法により、接続配線パターン間をポリイミド層 3 0 で埋める。

【 0 0 5 3 】

図 3 (P) に示すように、前述同様の手法により、第 2 配線層 3 1 を厚さ約 0

。 2 μ m の C u 層により形成する。

【 0 0 5 4 】

図 4 (Q) に示すように、前述同様の手法により第 2 配線層 3 1 をパターンニングし、その間の領域を前述同様のポリイミドの絶縁層 3 2 で埋め込む。このようにして、第 2 配線パターンが形成される。

【 0 0 5 5 】

なお、同様の工程を繰り返すことにより、任意層数の配線を形成することができる。

【 0 0 5 6 】

図 4 (R) に示すように、配線層表面上に保護膜 3 3 として前述同様の手法によりポリイミド層を形成する。感光性ポリイミドの保護膜 3 3 に、前述同様の手法により選択的に開口を形成し、電極導出領域を形成する。

【 0 0 5 7 】

図 4 (S) に示すように、保護膜 3 3 を覆うように基板表面上に、下から厚さ約 0 . 0 5 μ m の C r 層、厚さ 2 μ m の N i 層、厚さ約 0 . 2 μ m の A u 層を積層する。積層をパターンニングすることにより電極パッド 3 5 を形成する。

【 0 0 5 8 】

なお、上述同様の手法により、基板下面上にも保護膜 3 4 、電極パッド 3 6 を形成する。

【 0 0 5 9 】

形成された電極パッド 3 5 、 3 6 の上に、たとえば P b - 5 w t % S n ハンダをメタルマスクを通して蒸着し、フラックスを塗布し、 3 5 0 $^{\circ}$ C に加熱溶融し、接続用のハンダバンプ 3 7 、 3 8 を形成する。このようにして、キャパシタ、配線層を備えた中間積層体 5 1 を形成する。

【 0 0 6 0 】

図 4 (T) に示すように、中間積層体 5 1 上に半導体素子 5 2 を重ね合わせて配置し、バンプを溶融することにより実装し、モジュールを形成する。1 つの半導体素子のみを図示したが、図 5 (A) に示すように中間積層体 5 1 上に複数の半導体素子 5 2 が接続される。その後、回路基板 5 0 上に中間積層体 5 1 を接続

する。なお、中間積層体上に複数の回路部品を実装したモジュールを製品として提供し、ユーザが回路基板上に実装してもよい。

【 0 0 6 1 】

図 5 (B) は、モジュール内の配線の一部を概略的に示す。回路基板 5 0 の上に、中間積層体 5 1 が配置され、中間積層体 5 1 の上に複数の半導体素子 I C 1 , I C 2 を含む回路部品 5 4 が配置されている。中間積層体 5 1 内には、支持基板 S に形成された貫通導体 p c 、貫通 p c に接続される垂直配線 W V 、垂直配線 W V に接続されたキャパシタの電極 C 1 、 C 2 、半導体素子間の接続を行なうローカル配線 L I 1 、 L I 2 が形成されている。

【 0 0 6 2 】

半導体素子 I C 1 、 I C 2 の端子ピッチは、回路基板 5 0 の端子ピッチよりも狭い。回路基板 5 0 上の配線を介して半導体素子 I C 1 、 I C 2 の端子間を接続しようとする、配線ピッチを一旦拡大する必要がある。中間積層体 5 1 内の配線を用いることにより、配線ピッチを変えず、または配線ピッチの拡大を抑えて、より短い配線長で半導体素子 I C 1 、 I C 2 間を接続することができる。

【 0 0 6 3 】

図 4 (T) に示す構成においては、信号配線 T S は、半導体素子 5 2 から回路基板 5 0 に垂直に配線されている。従って、配線長は短い。電源配線 V 、 G は、回路基板 5 0 からキャパシタの一方の電極を介して半導体素子 5 2 に接続されている。電源配線はキャパシタより上の部分で分岐を有し、半導体素子 5 2 の端子ピッチに適合する配線ピッチを形成している。対向するキャパシタ電極は電源配線間のデカップリングキャパシタを構成する。

【 0 0 6 4 】

このような構成とすることにより、狭い端子ピッチを有する半導体素子を効率的に広い配線ピッチを有する回路基板に接続することができる。さらに、回路基板を介さず半導体素子間を接続するローカル配線を形成することもできる。十分な容量のキャパシタを形成し、デカップリングキャパシタの機能を果たさせることができる。

【 0 0 6 5 】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。以下、本発明の特徴を付記する。

【 0 0 6 6 】

(付記 1) 第 1 ピッチに適合する貫通導体を有する支持基板と、
前記支持基板上方に形成されたキャパシタと、
前記支持体上方に形成され、前記貫通導体を、一部前記キャパシタを介して、
上方に導出すると共に、分岐を有し、第 2 ピッチの配線を形成する配線層と、
前記配線層上方に配置され、第 2 ピッチに適合する端子を有し、前記配線層に
前記端子を介して接続された複数の半導体素子と、
を有する半導体装置。

【 0 0 6 7 】

(付記 2) 前記支持基板が、側壁に絶縁膜を形成した貫通孔を有する S i
基板であり、前記貫通導体が前記貫通孔を埋める金属導体である付記 1 に記載の
半導体装置。

【 0 0 6 8 】

(付記 3) 前記絶縁膜が熱酸化した酸化シリコン膜であり、前記シリコン
基板の上面、下面も酸化シリコン膜で覆われている付記 2 記載の半導体装置。

【 0 0 6 9 】

(付記 4) 前記キャパシタが、電源配線間に接続されたデカップリングキ
ャパシタであり、前記配線層が前記デカップリングキャパシタと前記半導体素子
との間で分岐を有する付記 1 または 2 記載の半導体装置。

【 0 0 7 0 】

(付記 5) 前記貫通導体が第 1 の信号配線を含み、前記配線層が第 1 の信
号配線を、ほぼ垂直に導出する第 2 の信号配線を含み、前記キャパシタが前記第
2 の信号配線を含む領域で欠所を有する電極を有する付記 1 ～ 4 のいずれか 1 項
に記載の半導体装置。

【 0 0 7 1 】

(付記 6) さらに、前記支持基板上に配置され、 $10 \text{ ppm}/^{\circ}\text{C}$ 以下の面

内方向熱膨張率を有し、前記配線層、前記キャパシタを絶縁する絶縁層を有する付記1～5のいずれか1項記載の半導体装置。

【0072】

(付記7) 前記キャパシタが、Ba、Sr、Tiの内少なくとも一つを含む酸化物層のキャパシタ誘電体層と、前記キャパシタ誘電体層を挟んで配置され、Pt、Ir、Ru、Pdまたはこれらの酸化物を少なくとも一部に含む1対のキャパシタ電極とを有する付記1～6のいずれか1項に記載の半導体装置。

【0073】

(付記8) 前記配線層が、前記複数の半導体素子間を接続する配線を含む付記1～7のいずれか一項に記載の半導体装置。

【0074】

(付記9) さらに、第1ピッチの配線を有し、前記貫通導体の下面に接続された回路基板を有する付記1～8のいずれか1項に記載の半導体装置。

【0075】

(付記10) 前記第2ピッチは、前記第1ピッチより狭い付記1～9のいずれか1項に記載の半導体装置。

【0076】

(付記11) さらに、前記配線層に接続された他の回路部品を含む付記1～10のいずれか1項記載の半導体装置。

【0077】

(付記12) (a) 支持基板に第1のピッチで貫通孔を形成する工程と、
 (b) 前記貫通孔側壁に絶縁膜を形成する工程と、
 (c) 前記絶縁膜を形成した貫通孔内に貫通導体を充填する工程と、
 (d) 前記支持基板上に前記貫通導体の少なくとも一部に接続されたキャパシタと前記貫通導体または前記キャパシタに接続され、第2のピッチを有する配線を形成する工程と、
 (e) 前記配線上に、前記第2のピッチに適合する端子を有する複数の半導体素子を接続する工程と、
 を含む半導体装置の製造方法。

【 0 0 7 8 】

(付記 1 3) 前記支持基板が S i 基板であり、前記工程 (a) が、 S i 基板両面を熱酸化して酸化シリコン膜を形成し、一方の酸化シリコン膜からシリコン基板を貫通し、他方の酸化シリコン膜に達する貫通孔を形成し、

前記工程 (b) が貫通孔側壁を熱酸化し、

前記工程 (c) が、他方の酸化シリコン膜裏面上にシード層を形成し、貫通孔底面の酸化シリコン膜を除去してシード層を露出し、貫通孔内に前記シード層をシードとしてメッキ層を形成する、

付記 1 2 記載の半導体装置の製造方法。

【 0 0 7 9 】

(付記 1 4) 前記工程 (d) が、下部電極層を形成し、信号配線およびその周囲に欠所を形成するように下部電極をパターニングし、下部電極を覆うように酸化物誘電体膜を成膜し、信号配線および下部電極接続部を露出するように酸化物誘電体膜をパターニングし、酸化物誘電体膜を覆うように上部電極層を形成し、信号配線、下部電極に接続する配線およびその周囲に欠所を形成するように上部電極をパターニングする、

付記 1 3 記載の半導体装置の製造方法。

【 0 0 8 0 】

(付記 1 5) 前記工程 (d) が、さらに絶縁層と配線層とを交互に形成し、第 2 のピッチを有する配線層を形成する付記 1 4 記載の半導体装置の製造方法。

【 0 0 8 1 】

(付記 1 6) 前記工程 (d) が、複数の半導体素子間を接続する配線を含む配線層を形成する付記 1 5 記載の半導体装置の製造方法。

【 0 0 8 2 】

(付記 1 7) さらに、

(f) 前記第 1 のピッチに適合する配線を有する回路基板上に前記支持基板を接続する工程、

を有する付記 1 2 ~ 1 5 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 8 3 】

【発明の効果】

以上説明したように本発明によれば、良好な性能を有するデカップリングキャパシタを備えたシステムインパッケージを形成することができる。

【 0 0 8 4 】

キャパシタの支持基板上の配線により、半導体素子間の接続を行うことができる。狭ピッチの端子間を直接接続することが容易となる。

【図面の簡単な説明】

【図 1】 本発明の実施例による中間積層体の製造工程を示す断面図である。

【図 2】 本発明の実施例による中間積層体の製造工程を示す断面図である。

【図 3】 本発明の実施例による中間積層体の製造工程を示す断面図である。

【図 4】 本発明の実施例による中間積層体の製造工程を示す断面図である。

【図 5】 システムインパッケージの構成を概略的に示す平面図および部分断面図である。

【符号の説明】

1 1 S i 基板

1 2、1 3 酸化シリコン層

1 4 開口（ビア孔）

1 5 酸化シリコン層

1 6 T i 層

1 7 P t 層

1 8 貫通導体（P t）

2 0 下部電極

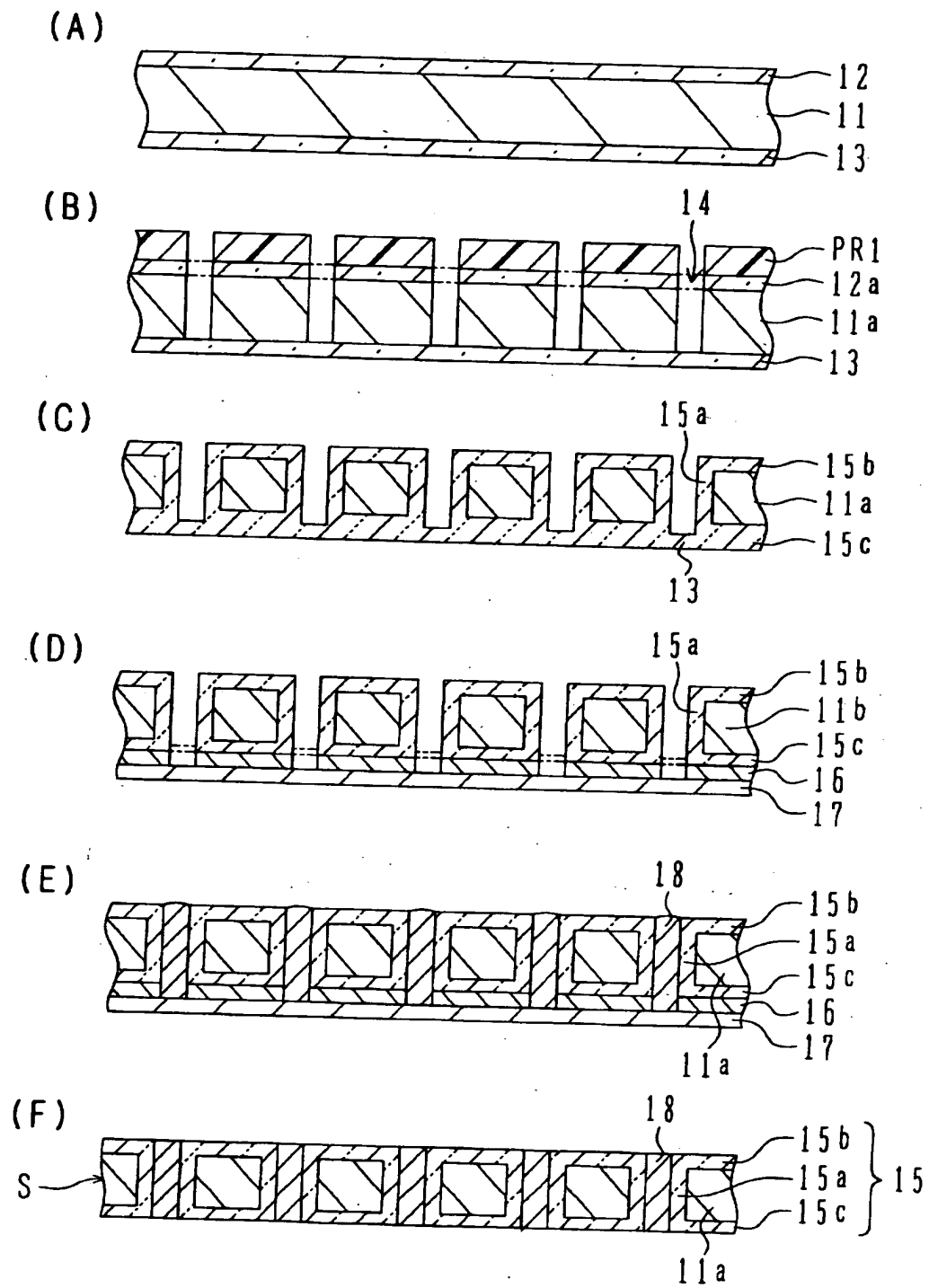
2 1 B S T 層

2 2 上部電極

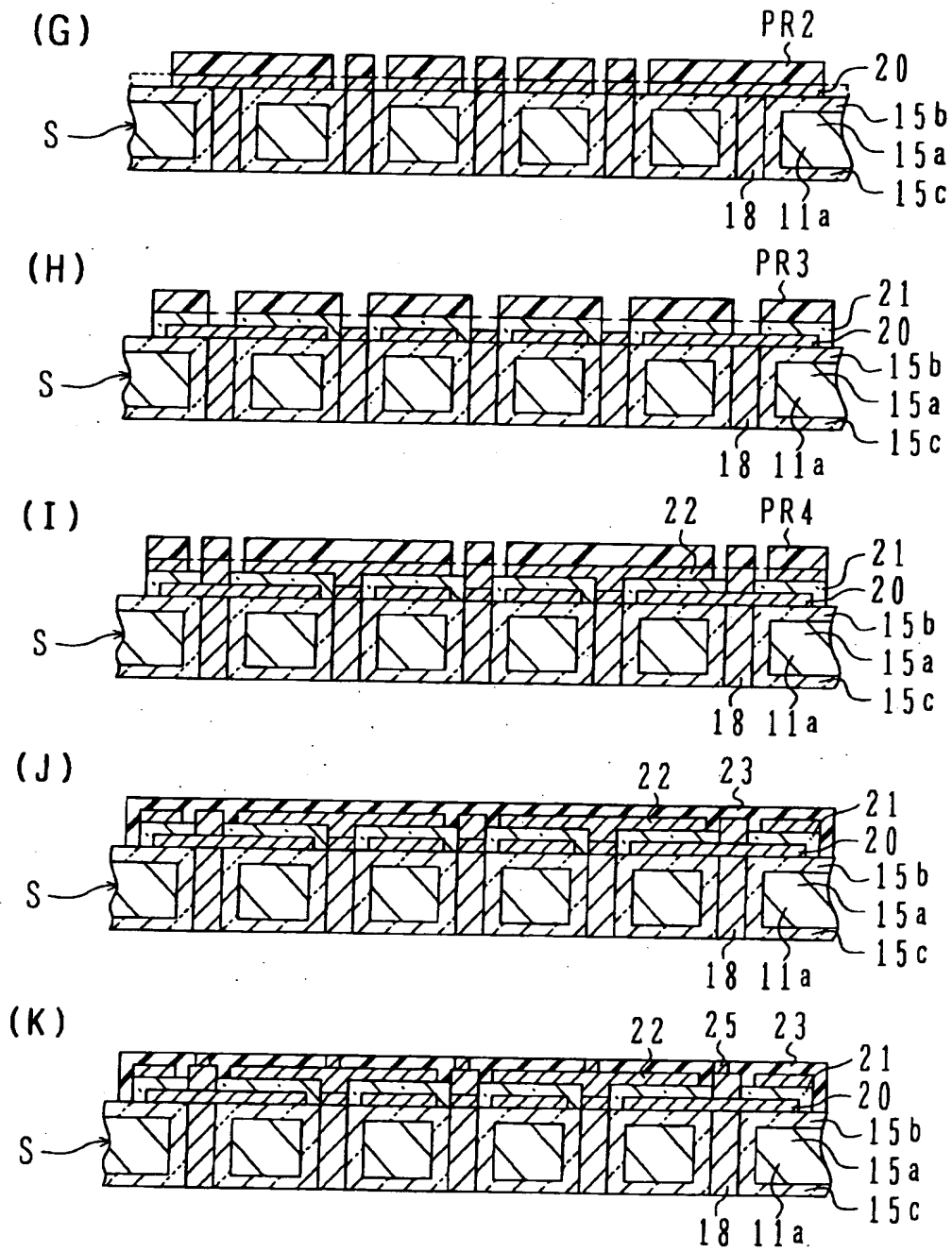
- 2 3 ポリイミド層
- 2 5 引き出し電極
- 2 6 第 1 配線層
- 2 8 ポリイミド層
- 2 9 接続配線
- 3 0 ポリイミド層
- 3 1 第 2 配線層
- 3 2、3 3 ポリイミド層
- 3 5、3 6 電極パッド
- 3 7、3 8 ハンダバンプ
- 5 0 回路基板
- 5 1 中間積層体
- 5 2 半導体素子
- 5 3 他の回路部品
- 5 4 回路部品

【書類名】 図面

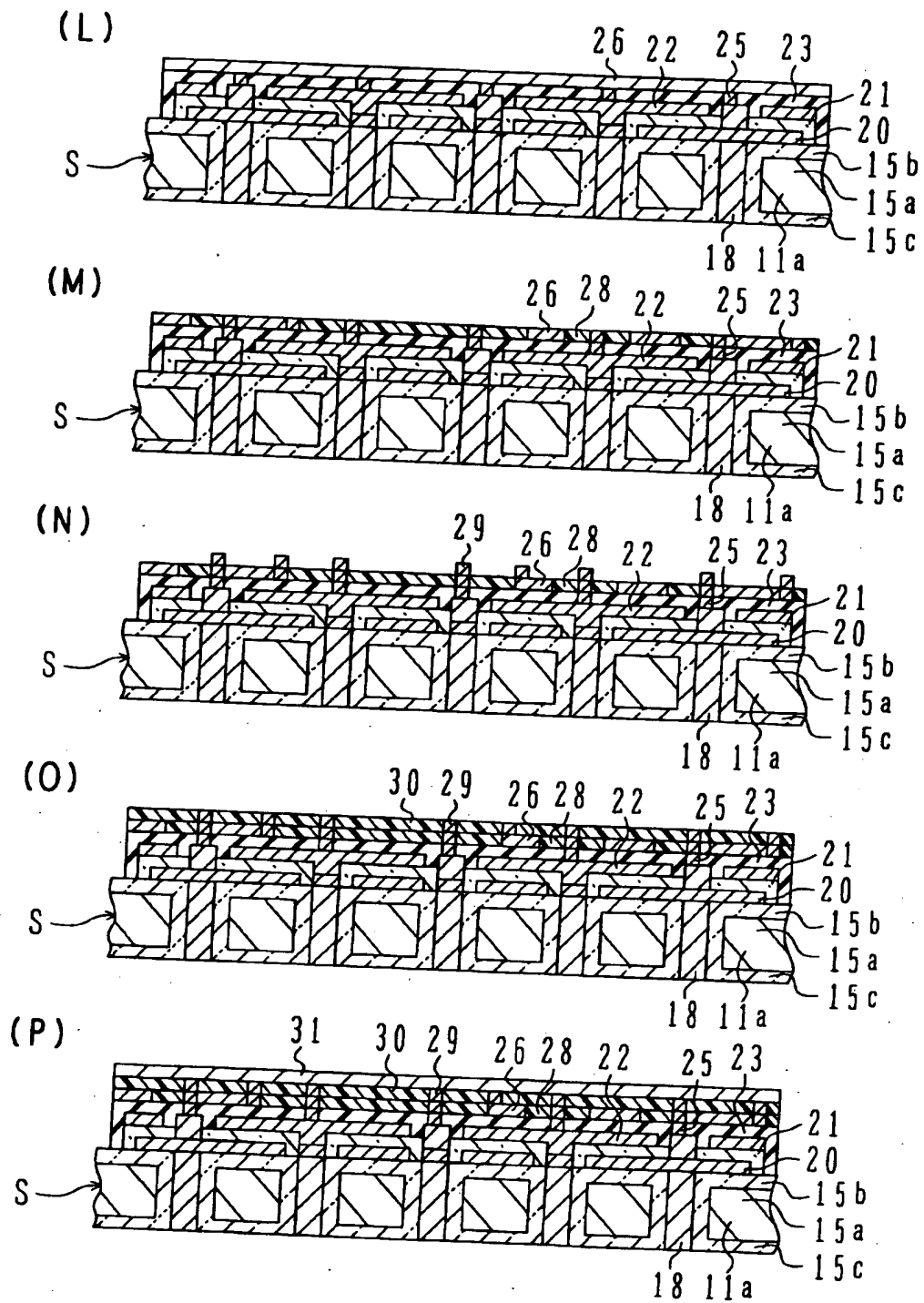
【図 1】



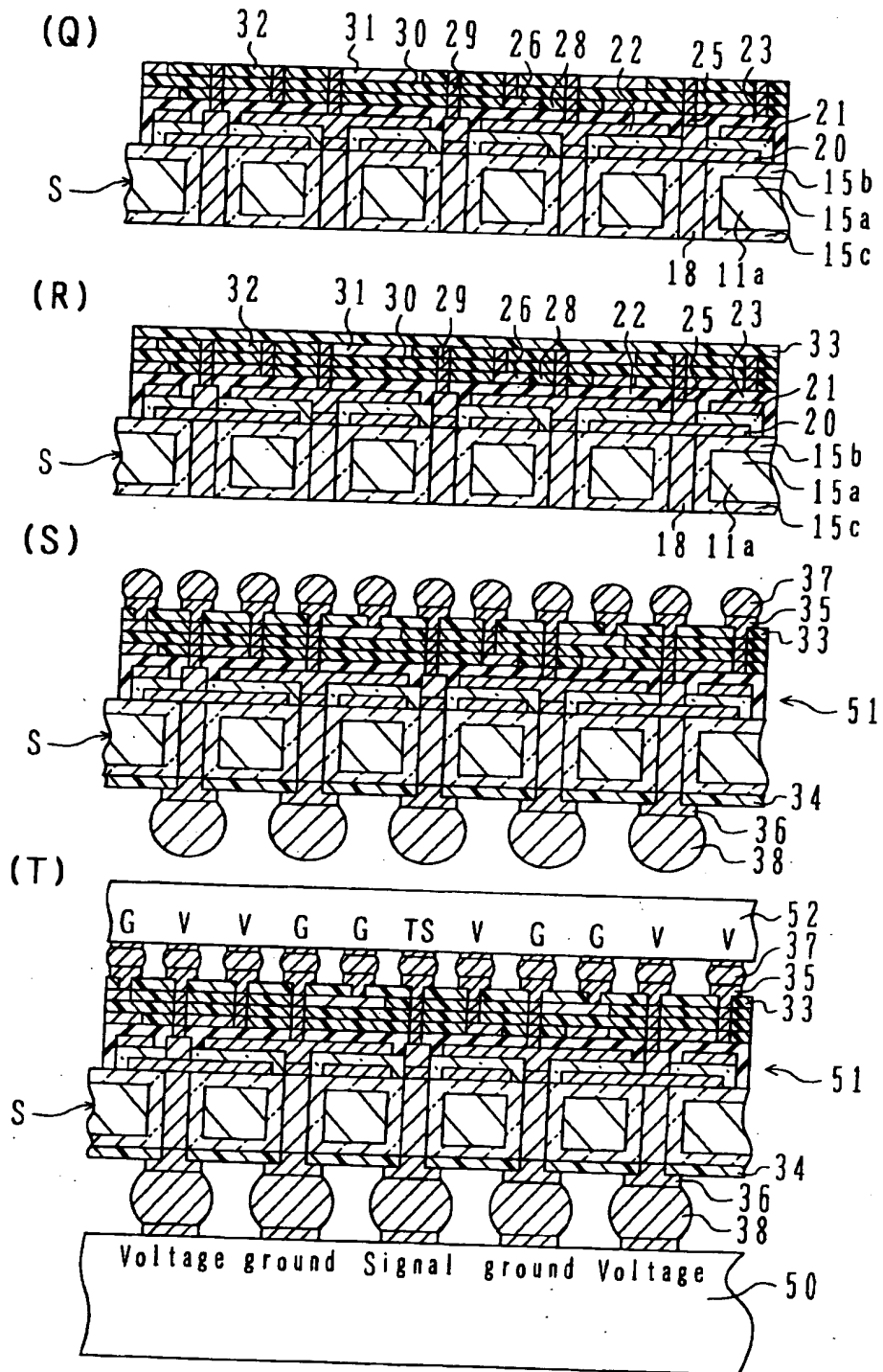
【図 2】



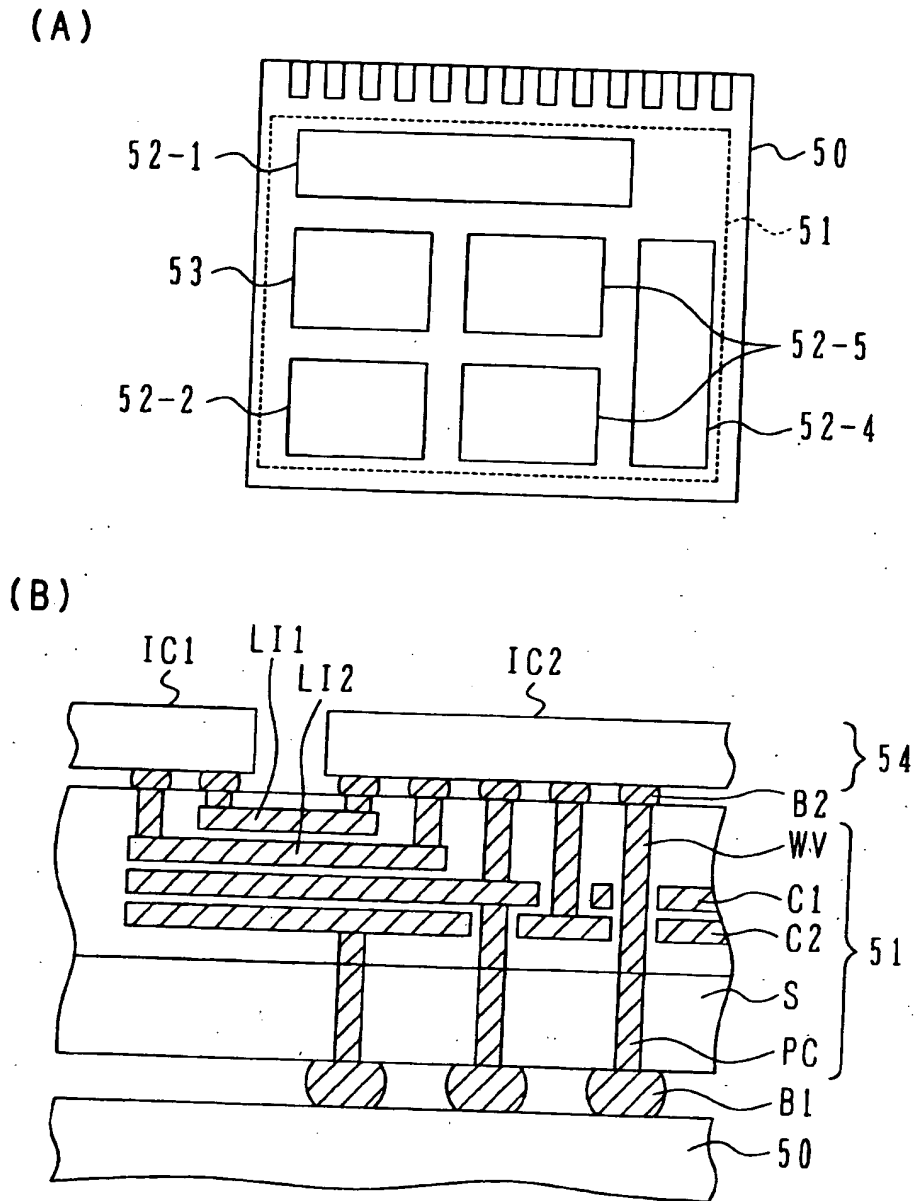
【図3】



【図4】



【図5】



【書類名】

要約書

【要約】

【課題】 狭い端子ピッチを有する半導体素子と、より広いピッチの貫通配線を有する支持体とキャパシタとを好適に電氣的に接続し、大容量でインダクタンスを低減したデカップリング機能を実現できる半導体装置を提供する。

【解決手段】 半導体装置は、第 1 ピッチに適合する貫通導体を有する支持基板と、前記支持基板上方に形成されたキャパシタと、前記支持体上方に形成され、前記貫通導体を、一部前記キャパシタを介して、上方に導出すると共に、分岐を有し、第 2 ピッチの配線を形成する配線層と、前記配線層上方に配置され、第 2 ピッチに適合する端子を有し、前記配線層に前記端子を介して接続された複数の半導体素子と、を有する。

【選択図】 図 5

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社